

‘This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-083301

(43)Date of publication of application : 28.03.1997

(51)Int.Cl. H03H 19/00

(21)Application number : 07-230557

(71)Applicant : YAMAHA CORP

(22)Date of filing : 07.09.1995

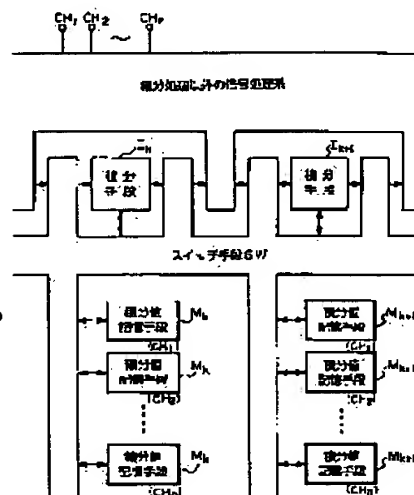
(72)Inventor : MAEJIMA TOSHIO

(54) SWITCHED CAPACITOR FILTER

(57)Abstract:

PROBLEM TO BE SOLVED: To apply the filter process to the analog signals of plural channels without increasing the circuit scale.

SOLUTION: The integration means Ik and Ik+1 successively carry out the integration processing constituting the filter processing to every channel via the time division control. The integration value storage means Mk to Mk+1 store the integration value signals to show the integration processing results to every channel. A switch means SW functions to store the integration value signals in the means Mk to Mk+1 to show the integration processing results to every channel every time the integration processing is interrupted to every channel and also to initialize the integration processing results of means Ik and Ik+1. The means SW also functions to supply the integration value signals corresponding to every channel to the means Ik and Ik+1 from the means Mk to Mk+1 every time the integration processing is carried out to every channel and also to supply the analog signals to be integrated to the means Ik and Ik+1.



AnN2からなる。このフィルタ内の各部の動作タイミングを制御する手段であり、かかるタイミング制御に必要なクロックa、b、c、d、ac、bd、b1、d1、b2、d2、bbおよびddを出力する。これらのクロックの波形を図5のタイミングチャートに示す。

【0019】入カスインパッチキヤンセル部11～14は、各々入カアナログ信号のレベルに応じた電流を出力する手段である。上述した入カアナログ信号のうち第1チャネルの正相信号Ain1Pは入カインパッチキヤンセル部11、第2チャネルの正相信号Ain2Pは入カインパッチキヤンセル部12、第3チャネルの正相信号Ain3Pは入カインパッチキヤンセル部13、第4チャネルの正相信号Ain4Pは入カインパッチキヤンセル部14へ各々供給される。また、入カインパッチキヤンセル部11および12から出力される電流は信号線LP1、LP2に供給され、一方、入カインパッチキヤンセル部13および14から出力される電流は信号線LN1、LN2に供給される。

【0202】各入カススイッチ部キヤパシタ部の構成について説明すると、まず、入カススイッチ部キヤパシタ部11は、1個のキヤパシタC4と4個のアナログスイッチS11～S114により構成されている。ここで、アナログスイッチS11およびS113は、クロックalにより導通状態となることにより、アナログスイッチS11～キヤパシタC4へアナログ信号を供給し、アナログスイッチS113は、基準電圧Vrefにより直列回路が形成され、この信号線路を介すことにより、アナログ信号AinIPのレベルに応じた電荷がキヤパシタC4に保持される(サンプリング動作)。また、アナログスイ

S112およびS114は、クロックbにより送達状態とされる。これらのアナログスイッチが送達状態とされることにより、基端電源V_{reg}とアナログスイッチS112・アナログスイッチC4・アナログスイッチS114・正相入力線LPと入力信号供給線が形成される。この信号経路を介すことにより、キャパシタC4に保持された電荷が順性が反転されて正相入力線LPに供給される(出力動作)。

[0021]他の入力スイッチッドキャパシタ部12・13も同様であり、各々に対する入力アナログ信号を保持するための1個のキャパシタと、入力アナログ信号をキャパシタに印加させる信号経路およびキャパシタに保持された電荷を出力させる信号経路を形成するための4個の4個のキャパシタにより構成されている。各キャパシタの名称および各アナログスイッチを導通状態とするクロックの名称は図に示した通りである。

[0022] 本実施形態において各入カススイッチキヤビタ部は、チャネル毎に異なるタイムスロットで動作が制御されるものであり、第1チャネルに対応した入カススイッチキヤビタ部11および13ではクロック11および13でサンプリング動作が行われ、第2チャネルに対応した入カススイッチキヤビタ部12および14ではクロック12および14でサンプリング動作が行われる。なお、サンプリング動作に関しては各チャネルとも一タムスロットを同一タイムスロットで行うようにしても構わない。また、出力動作は、第1チャネルに対応した入カススイッチキヤビタ部11および13ではクロック11および13で行われ、第2チャネルに対応した入カススイッチキヤビタ部12および14ではクロック12および14で行われる。

[0023] 積分部40は、変動増幅器41と、キヤビタC7、C8、C17およびC18と、アナログスイッチS401〜S410とにより構成されている。ここで、変動増幅器41の反転入力端は正相入力線LPIに接続されており、正相入力端は逆相入力線LNIに接続されている。また、変動増幅器41の正転出力端および反転出力端は各々信号線MPおよびMIN(以下、正相出力線MPおよび逆相出力線MIN)に接続されている。

[0024] 積分用キャパシタC8およびC7は、変動増幅器41の反転入力端と正転入力端との間および正転入力端と反転出力端との間に各々挿入されている。また、本実施形態1においてはクロックbndが出力される期間に積分動作が行われる。また、この積分動作の期間、キャパシタC18はアナログスイッチS402およびS405を介して積分用キャパシタC8に並列接続され、キャパシタC17はアナログスイッチS407およびS410を介して積分用キャパシタC7に並列接続される。

[0025] 上述により、変動増幅器41の正転入力端および反転入力端の電位を基準電源Vrefのレベルに維持した状態で両入力端に入力される信号の差を出力が行われ、正相入力線L1を介して供給される全電荷が積分用キャパシタC8に蓄積され、並相入力線L2を介して供給される全電荷が積分用キャパシタC7に蓄積される。この結果、積分面に相当する電圧が変動増幅器41の正転出力端および反転出力端間に出力される。この積分面に相当する出力電圧は、正相出力線MNPおよび逆相出力線MNIにより、正相成分に相当するものと逆相成分に相当するものに分離されて各部に供給される。

（2026）また、アナログスイッチS401、S403、S404、S406、S408およびS409は、クロック ϕ_{ac} によって現状態とされるものであり、キャピタC7、C8、C17およびC18の両端を短絡し、積分値を0とする初期化アナログスイッチとして使用される。

（2027）この積分部40は、時分割制御の下、第1チャネルおよび第2チャネルに対応した各種処理を順次繰り返し実行するものである。このような積分制御の時分割処理の順序制御においては、以下の手段を講じている。

【0228】a. 実行中の積分処理を中断する場合には、積分部40の積分値を0に初期化し、その次の積分処理に積分部40を明示す。上述した初期化アナログスイッチS1は、この役割を果たす手段である。

【0229】b. 上記積分処理の中断の際、その中断時点までに得られた積分値を記憶しておく。そして、当該積分処理を再開する際には、その積分値を積分部40Iに与え、中断時点の状態から積分処理を再開する。これを可能にするための手段が、図4における第1積分値記憶部21～24および第2積分値記憶部31～34である。

【0030】これらの積分値および第2チャネルに於いた各積分処理値は、積分値を要する信号を記憶する手段である。本実施形態は、第1チャネルの積分値および第2チャネルに於いた各積分処理値を要する信号を記憶する手段である。処理を行うものであり、第1チャネルに於いた積分処理の積分値を要する信号の番号は第1積分記憶部21および第2積分記憶部33に、同積分値を要する逆相の番号は、第1積分記憶部23および第2積分記憶部33に、第2チャネルに於いた積分値を要する逆相の番号は第1積分記憶部22および第2積分記憶部32に、同積分値を要する逆相の番号は第1積分記憶部24および第2積分記憶部34に、各々記憶される。

【0031】各構成配電部211の構成について説明すると、まず、第1積分値配電部211は、上述した入力スイッチ211a、アナログスイッチ211b、1個のキャパシタC6と4個のアナログスイッチS211₁～S211₄によって構成される。ここで、アナログスイッチ211aおよびUS213は、クロックb1が与えられることにより、第1積分値配電部211において、アナログスイッチが導通状態となることにより、正相出力線MPーアナログ出力線NPーキャパシタC6によって導通状態とされる。これらのアナログスイッチが導通状態となることにより、信号線路を介してキャパシタC6へ充電電流を流すことができる。また、アナログスイッチS212およびUS214は、クロックb2により導通状態とされる。これらのアナログスイッチが導通状態とされることにより、充電電流Vref₁を信号線路を介してキャパシタC6へアナログスイッチS214ー正相入力線LP1に供給される。この信号線路を介することにより、キャパシタC6に保持された電荷が極性の反転された状態で正相入力線LP1に供給される。このように、クロックb1が出力されることにより、第1積分値の電圧出力が行われ、クロックb2が出力されることにより、当該積分値と等価な電荷が極性の反転した状態で正相入力線LP1に供給されるのである。

【0032】第2積分値記憶部31も、上記第1積分値記憶部21と全く同様な構成であり、1個のキャパシタC5と4個のアナログスイッチを有している。しかしながら、この第2積分値記憶部31におけるクロックb1およびb2の果す役割は、第1積分値記憶部21におけるクロックa1およびa2の果す役割と異なる。

分値記憶部21の場合と逆になっている。このため、クロックb1が出力されることにより、正相出力線MP上の電圧が第1積分値記憶部21のキャパシタC6に印加されると同時に第2積分値記憶部31のキャパシタC5に保持された電荷が正相出力線Pへ供給される。また、クロックb2が出力されることにより、正相出力線MP上の電圧が第2積分値記憶部31のキャパシタC5に印加されると同時に第1積分値記憶部21のキャパシタC6に保持された電荷が正相出力線Pへ供給される。

【0033】他の積分記憶部も、これらの第1積分記憶部21および第2積分記憶部31と全く同様であり、1個のキャパシタと個のアナログスイッチ22により構成されている。各キャパシタの名称および各アナログスイッチの導通制御を行うクロックの名称は図示の通りである。

【0034】出力部50は、積分部40から順次得られる各チャネルに対応した出力電圧を非平衡の電圧に変換し、各々決定して出力する手段である。ここで、抵抗R₁~R₄と出力電圧を抵抗R₁~R₄により決定される増幅度で増幅する手段を構成している。また、アナログスイッチS01とキャパシタC9は、変動増幅器51の出力に接続されている。積分部40は、積分部51は、積分部50とアナログスイッチS01とを構成している。また、アナログスイッチS02とキャパシタC10は、第2チャネルに対応した信号を取り込んで保持するサンプルホールド回路を構成している。第1チャネルに対応したサンプルホールド回路のサンプリング動作はクロックclkによって行われ、第2チャネルに対応したサンプルホールド回路のサンプリング動作はクロックclkによって行われるように行われ、第2チャネルに対応したサンプルホールド回路の出力電圧は、積分部52を介して信号OUT1として出力され、第2チャネルに対応したサンプルホールド回路の出力電圧は、積分部53を介して信号OUT2として出力される。

[illegible]

[0036] (1) タイムスロットSL1サンプリング周期 T_S のタイムスロットSL1においては、クロック ϕ_a および ϕ_b のみが出力され、他のクロックは出力されない。このため、第1チャネルの出力によって、各アナログスイッチの状態は図6に示すものとなり、各部分では次の動作が行われる。
 [0037] ■入力スワッチキヤンセリタクト
 [0038] ■入力スワッチキヤンセリタクトおよびC18の各々の両端が初期化用アナログスイッチによりONに初期化される。
 [0039] ■積分40.0の積分範囲は0に初期化される。
 [0040] ■積分40.0においては、第1チャネルの入力アナログ信号Ain1PおよびAin1Nのサンプリングレベルに反応した電荷がキャパシタC18およびC17に各々保持される。
 [0041] ■積分40.0においては、キャパシタC7、C17、C8およびC18の各々の両端が初期化用アナログスイッチによって短絡され、積分40.0の積分範囲は0に初期化される。

【0039】(2)タイムスロットSL2においては、クロックb、bd、b1およびbbのみが出力され、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図1に示すものとなり、各部では次の動作が行われる。

【0040】■入ススイッチドキャパシタ部11および13においては、キャパシタC4およびC1に保持された電荷が各々極性が反転されて正相入力線Jおよび逆相入力線LNIに各々供給される。

【0041】■第2積分値記憶部31および33においては、キャパシタC5およびC2に保持された電荷が正相入力線LP0および逆相入力線LN1に供給される。これらの各キャパシタの保持電荷は、サンプリング周期TS_Hにおいて積分部40から

与えられたものであり、第1チャネルに対応した積分処理の積分値に相当するものである。
[0042]■積分部40においては、初期化用アナログスイッチが開放状態とされると共に積分用キャパシタC8、C18、C

線AMPおよび逆相出力線MINIに出力される。この積分値と相当する電圧が変動増幅器41から正相出力線AMPおよび逆相出力線MINIに出力される。この積分値と相当する電圧が変動増幅器41から正相出力線AMPおよび逆相出力線MINIに出力される。この積分値と相当する電圧が変動増幅器41から正相出力線AMPおよび逆相出力線MINIに出力される。

【0043】■第1積分値記憶部21および23においては、以上のようにして得られた第1チャネルに対応した積分処理の積分成分に相当する電圧を保持する動作が行われる。すなわち、正出力レベルMPPからキャパシタC6を介して基準電圧Vrefに至る電荷経路が形成されるため、この電荷経路を介することにより積分成分に相当する電圧がキャパシタC6に保持される。また、逆出力レベルMNNからキャパシタC7を介して基準電圧Vrefに至る電荷経路が形成されるため、この電荷経路を介することにより積分成分の逆相成分に相当する電荷がキャパシタC3に保持されることとなる。

【044】■出力部501においては、正相出力線MPbおよび逆相出力線MNbに出力された第1チャネルの構成値を要する平衡信号が非平衡信号に変換される。この非平衡信号は、クロックbbaが出力されることにより、キャパシタC2に与えられ、かつ、信号OUTとして出力される。また、この非平衡信号は、クロックbbaが立ち下がることによりキャパシタC2に保

持たれる。
[0045] タイムスロットSL33においては、クロックおよびacのみが出力され、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図8に示すものとなり、各部では次の動作が実行される。

【0046】■入カススイッチ部12および14においては、第2チャネルの入カアナログ信号Ain2Nのサンプリングが行われ、各アナログ信号のレベルに依り、電荷が主キャパシタC11に各々保持される。行われる。

【0047】■線分部40)においては、キャッチ7C、17、C8およびC18の各々の両端が初期化用アナログスイッチ1によつて短絡され、積分部400の積分値は0に初期化される。

【0048】(4)タイムスロットSL4このタイムスロットSL4においては、クロックa、bd、d1およびddのみが出力され、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図9に示すものとなり、各部で

は次の動作が行われる。

極性が反転されて正相入力線LPおよび逆相入力線LNに各々供給される。

【0050】■第2積分位置部32および34においては、キャパシタC15およびC12に保持された電荷が正相入力線LP

ら与えられたものであり、第2チャネルに対応した積分処理の積分値に相当するものである。

[illegible]

■および■の各信号の積分が行われる。この結果、サンプリング周期 T_{S-1} における第2チャネルに対応した積分処理

の積分値とタイムスロットSL3における取り込んだ第2チャネルの入カアナログ信号とを加算したものが今回のサンプリング周期TSにおける第2チャネルの積分値として得られ、この積分値に相当する電圧が変動増幅器41から正相出力力線MPおよび逆相出力力線MNPに出力される。

【0054】■第1積分値記憶部22および24においては、以上のようにして得られた第2チャネルに対応した積分処理の積分値に相当する電圧を保持する動作が行われる。すなわち、正相出力線MPからキャパシタC16を介して基準電圧Vrefに繋がる信号経路が形成されるため、この信号経路を通じて、逆相出力線MNPからキャパシタC13を介して基準電圧Vrefに繋がる信号経路が形成されるため、この信号経路を通じて、正相出力線MPからキャパシタC13を介して基準電圧Vrefに繋がる信号経路が形成されることとなる。【0055】■出力部50においては、正相出力線MPおよび逆相出力線MNP間に出力された第2チャネルの積分値を被す平衡信号が非平衡信号に変換される。この非平衡信号は、クロックφdが出力されることにより、キャパシタC10に与えられ、かつ、信号OUT2として出力される。また、この非平衡信号は、クロックφdが立ち下がることによりキャパシタC10に保持される。

【0054】(5) タイムスロットSL5サンプリング周期TS₅のタイムスロットSL5においては、上述したタイムスロットSL1と同様、クロックφaおよびφacのみが出力され、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図10に示すものとなり、各部では次の動作が行われる。

【0055】■入カスイッチ23からキャパシタC11および13においては、再び入カアナログ信号Ain1PおよびAin1Nのサンプリングが行われ、各アナログ信号のレベルに応じた電荷がキャパシタC4およびC11に各々保持される。

■積分部40においては積分値が0とされる。

【0056】(6) タイムスロットSL6のタイムスロットSL6においては、クロックφb、φd、φ2およびφbbのみが出力され、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図11に示すものとなり、各部では次の動作が行われる。

【0057】■入カスイッチ23からキャパシタC11および13においては、キャパシタC4およびC11に保持された電荷が各々極性が反転されて正相入力線LPおよび逆相入力線LNに各々供給される。

【0058】■第1積分値記憶部21および23においては、キャパシタC6およびC3に保持された電荷が正相入力線LPおよび逆相入力線LNに供給される。これらの各キャパシタの保持電荷は、サンプリング周期TS₆において積分部40から与えられた第1チャネルに対応した積分値である。

【0059】■積分部40においては、正相入力線LPおよび逆相入力線LNを介して供給される上記■および■の各信号の積分が行われる。この結果、サンプリング周期TS₆における第1チャネルに対応した積分値とタイムスロットSL5において取り込んだ第1チャネルの入カアナログ信号とを加算したものが今回のサンプリング周期TS₆における第1チャネルの積分値として得られ、この積分値に相当する電圧が変動増幅器41から正相出力線MPおよび逆相出力線MNPに出力される。

【0060】■第2積分値記憶部31および33においては、以上のようにして得られた第1チャネルに対応した積分処理の積分値に相当する電圧をキャパシタC5およびC2に保持する動作が行われる。

【0061】■出力部50においては、正相出力線MPおよび逆相出力線MNP間に出力された第1チャネルの積分値を被す平衡信号が非平衡信号に変換され、信号OUT1として出力される。

【0062】以上のようにタイムスロットSL6における処理内容は、サンプリング周期TS₆のタイムスロットSL2での処理内容と実質的に同じであり、第1積分値記憶部21および23と第2積分値記憶部31および33の裏す役割が入れ替わっている点のみが相違している。

【0063】(7) タイムスロットSL7のタイムスロットSL7においては、上述したタイムスロットSL3と同様、クロックφcおよびφecのみが出力され、他のクロックは出力されない。このため、クロックの出力によって各アナログスイッチの状態は図12に示すものとなり、各部では次の動作が行われる。

【0064】■入カスイッチ23からキャパシタC12および14においては、再び入カアナログ信号Ain2PおよびAin2Nのサンプリングが行われ、各アナログ信号のレベルに応じた電荷がキャパシタC14およびC11に各々保持される。

■積分部40においては積分値が0とされる。

【0065】(8) タイムスロットSL8のタイムスロットSL8においては、クロックφd、φb、φ2およびφddのみが出力され、他のクロックは出力されない。このため、各クロックの発生により、各アナログスイッチの状態は図13に示すものとなり、各部では次の動作が行われる。

【0066】■入カスイッチ23からキャパシタC12および14においては、キャパシタC14およびC11に保持された電荷が各々極性が反転されて正相入力線LPおよび逆相入力線LNに各々供給される。

【0067】■第1積分値記憶部22および24においては、キャパシタC16およびC13に保持された電荷が正相入力線LPおよび逆相入力線LNに供給される。これらの各キャパシタの保持電荷は、サンプリング周期TS₈において積分部40から与えられた第2チャネルの積分値である。

【0068】■積分部40においては、正相入力線LPおよび逆相入力線LNを介して供給される上記■および■の各信号の積分が行われる。この結果、サンプリング周期TS₈における第2チャネルに対応した積分値とタイムスロットSL7において取り込んだ第2チャネルの入カアナログ信号とを加算したものが今回のサンプリング周期TS₈における第2チャネルの積分値として得られ、この積分値に相当する電圧が変動増幅器41から正相出力線MPおよび逆相出力線MNPに出力される。

【0069】■第2積分値記憶部32および34においては、以上のようにして得られた第2チャネルに対応した積分値に相当する電圧をキャパシタC15およびC12に保持する動作が行われる。

■出力部50においては、正相出力線MPおよび逆相出力線MNP間に出力された第2チャネルの積分値を被す平衡信号が非平衡信号に変換され、信号OUT2として出力される。

【0070】このように、タイムスロットSL8における処理内容は、実質的にタイムスロットSL4での処理内容と同じであり、第1積分値記憶部22および24と第2積分値記憶部32および34の裏す役割が入れ替わっている点である。

【0071】以後、同様にタイムスロットSL1～SL8に対応した各処理が繰り返行され、第1チャネルおよび第2チャネルに対応した積分処理が進められ、これらの積分処理の結果を使用して各チャネルに対応した各フィルタ処理が進められる。

【0072】C. 他の実施形態本発明の実施形態には、以上説明したもの他、種々のものと考えられる。例えば次の通りである。

【0073】(1) 上記実施形態ではアナログ信号を平衡信号とし、変動増幅器によって構成された積分部にによりアナログ信号の積分を行うようにしたが、不平衡なアナログ信号を差動型でない通常の積分器で積分するようにしてもよい。

【0074】(2) 各積分処理毎に1個の積分値記憶部のみを設け、この積分値記憶部の保持電荷を使用して積分部による

積分処理を終えた後、新たな積分値に相当する電荷を積分値記憶部に保持させるようにしてもよい。積分処理を行うタイムスロットとは別に積分値に相当する電荷を保持するためのタイムスロットを設けなければならないが、積分値記憶部の数を半減させることができるという利点がある。

【0075】(3) 上記実施形態よりも多くの種類の種類の積分処理を実行する場合には、それに見合った数の積分値記憶部を設ければよい。

【0076】■発明の効果以上説明したように、この発明によれば、時分割制御の下、複数チャネルに対応したフィルタ処理を行うための複数チャネル分の積分処理を1個の積分手段によって順次実行することができるので、小規模な回路構成で、複数チャネルのアナログ信号を処理可能なスイッチドキャパシタフィルタを実現することができるといえる効果がある。

図面選択 図1

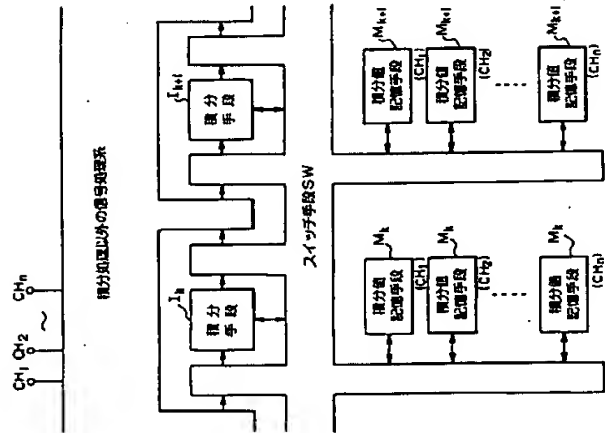
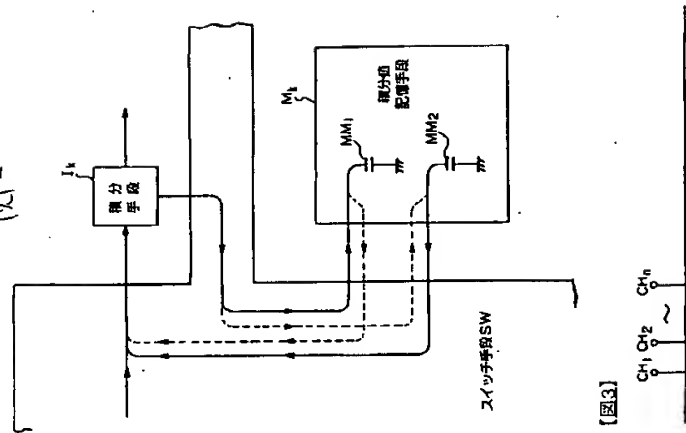
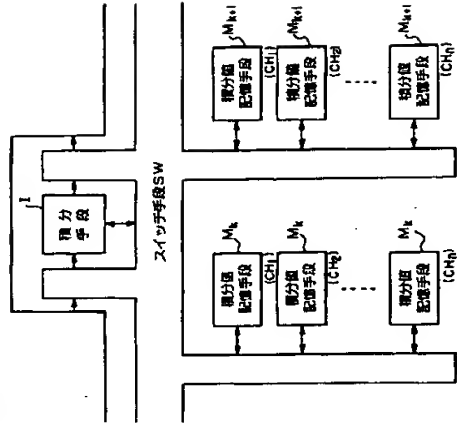


図2

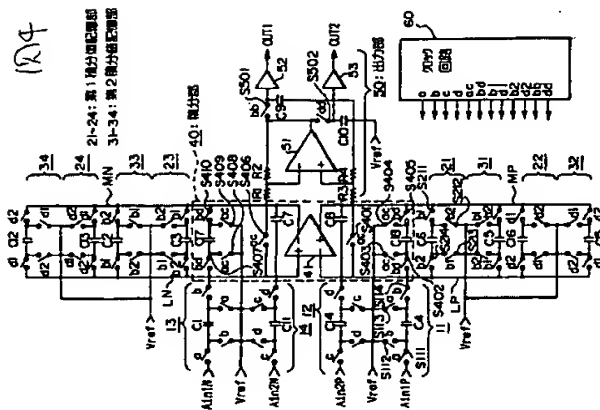


【図3】

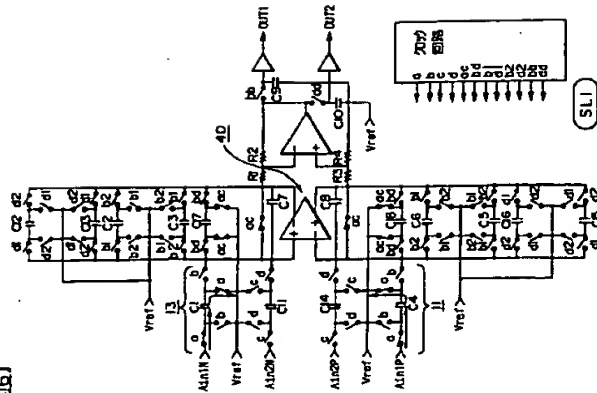
配電手段以外の信号伝達系



【図4】

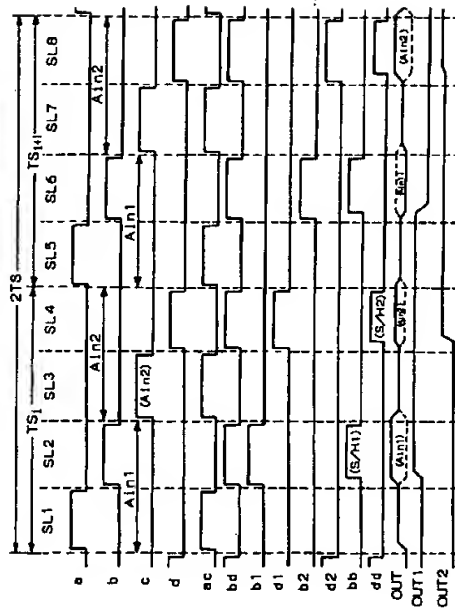


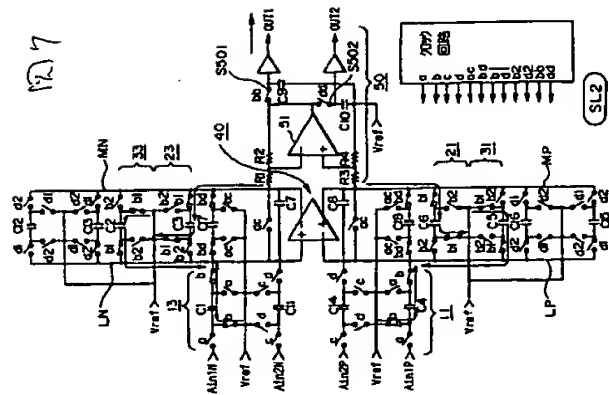
【図16】



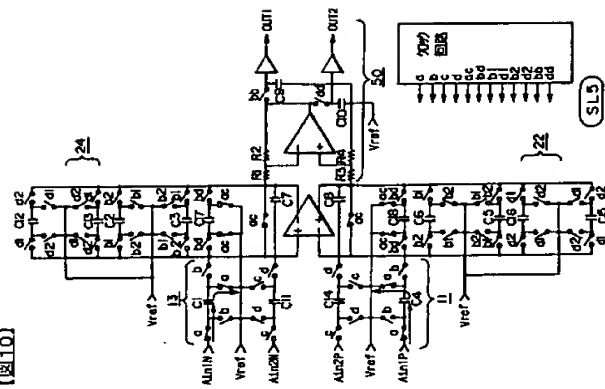
【図7】

図面選択 図5





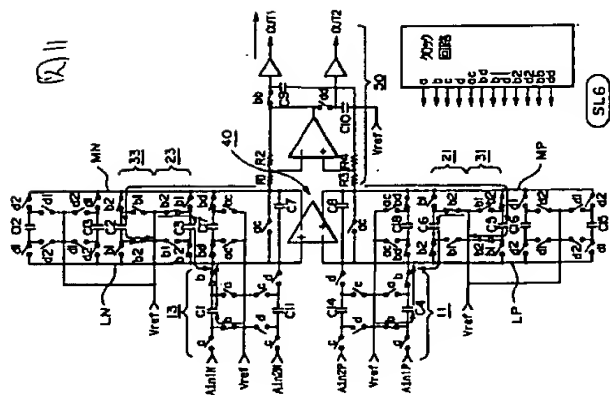
【例8】



【圖】

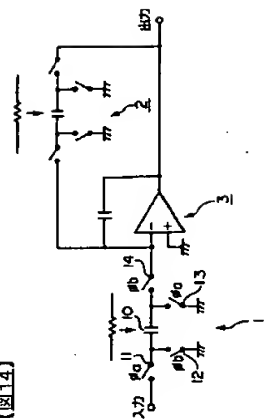
【例10】

【圖11】

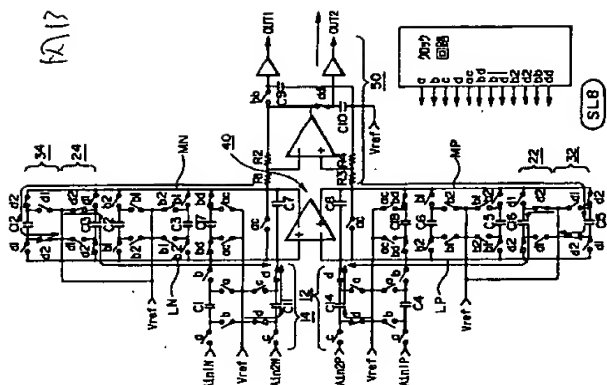


【図12】

【図14】



【図13】



【図14】